

PAT-NO: JP360015985A
DOCUMENT-IDENTIFIER: JP 60015985 A
TITLE: MANUFACTURE OF SEMICONDUCTOR LIGHT EMITTING DEVICE
PUBN-DATE: January 26, 1985

INVENTOR-INFORMATION:

NAME

MORIMOTO, MASAHIRO

ASSIGNEE-INFORMATION:

NAME

FUJITSU LTD

COUNTRY

N/A

APPL-NO: JP58122724

APPL-DATE: July 6, 1983

INT-CL (IPC): H01S003/18, H01L033/00

US-CL-CURRENT: 372/102

ABSTRACT:

PURPOSE: To improve the properties and the reliability of the semiconductor laser by a method wherein etching of the fourth semiconductor layer whose surface is levelled is done with arranging a resist mask having a pattern of diffraction grating on the surface of the fourth semiconductor layer to form the diffraction grating in the vicinity of a boundary between an optical waveguide layer and the fourth semiconductor layer thereby forming the grating for distributed feed-back on the semiconductor layer having a curved surface.

CONSTITUTION: By diffusion of Zn into a surface of the N type InP substrate 11, a P<SP>+</SP> type current narrowing layer 12 is formed. The stripe-form groove 13 whose cross section is V-shape which reach the N type region of the substrate 11 is formed. Next, an N type InP first entrapping layer 14, an InGaAsP active layer 15, an InGaAsP waveguide layer 16 and the P type InP layer 17 as the fourth semiconductor layer are grown in order. The mask 18 having a periodical interference pattern is formed and the etching for transferring the pattern from the mask 18 to the P type InP layer 17 is done. The mask 18 is removed and the InGaAsP waveguide layer 16 is etched by using the P type InP layer 17 as a mask to form the grating for the distribution return. On the P type InGaAsP contact layer 20, a P-side electrode 21 is formed and further an N-side electrode 22 is formed on the polished plane of the N type InP substrate 11.

COPYRIGHT: (C)1985, JPO&Japio

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭60—15985

⑤ Int. Cl.⁴
H 01 S 3/18
// H 01 L 33/00

識別記号

庁内整理番号
7377—5F
6666—5F

③ 公開 昭和60年(1985)1月26日

発明の数 1
審査請求 未請求

(全 4 頁)

⑭ 半導体発光装置の製造方法

川崎市中原区上小田中1015番地
富士通株式会社内

① 特 願 昭58—122724

⑦ 出 願 人 富士通株式会社

② 出 願 昭58(1983)7月6日

川崎市中原区上小田中1015番地

⑧ 発 明 者 森本正弘

⑨ 代 理 人 弁理士 松岡宏四郎

明 細 書

1. 発明の名称

半導体発光装置の製造方法

2. 特許請求の範囲

(1) 半導体基体にストライプ状の溝を形成し、該溝内に第1の閉じ込め層、活性層、光導波層及び第4の半導体層を成長して該第4の半導体層の表面を平坦とし、該表面に回折格子のパターン形成したレジストマスクを設けて前記第4の半導体層をエッチングし、次いで前記第4の半導体層をマスクとするエッチングによって前記光導波層の該第4の半導体層との外面近傍に回折格子を形成し、しかる後に第5の半導体層を成長して第2の閉じ込め層を形成することを特徴とする半導体発光装置の製造方法。

(2) 前記第4の半導体層のエッチング処理が前記光導波層に対して選択的に行なわれて、該光導波層表面で停止することを特徴とする特許請求の範囲第1項記載の半導体発光装置の製造方法。

(3) 前記第4の半導体層と前記第5の半導体層とが

同一の組成と等しい濃度の同一不純物とを有することを特徴とする特許請求の範囲第1項又は第2項記載の半導体発光装置の製造方法。

3. 発明の詳細な説明

(a) 発明の技術分野

本発明は半導体発光装置の製造方法、特に半導体基体に設けられたストライプ溝内に成長して湾曲する半導体層上に回折格子を形成して分布型レーザを実現する製造方法に関する。

(b) 技術的背景

光通信及び各種の産業用又は民生分野を対象とし、光を情報信号の媒体とするシステムにおいて、半導体発光装置は最も重要な構成要素であって、その特性及び信頼性の向上が著しい。しかしながら光検出器や光変調器等に使用するためにはなお一層の特性及び信頼性の向上が要求されている。

(c) 従来技術と問題点

現在までに多数の半導体レーザの構造が提供されているが、その中で特性及び信頼性が優れているものにVSB(V-grooved Substrate Buried

double heterostructure)レーザがある。

第1図はVSBレーザの従来例を示す断面図である。図において、1はn型インジウム・亜化合物(InP)基板、2はp型InP電流狭窄層、3はストライプ状の溝、4はn型InP閉じ込め層、5はノンドープのインジウム・ガリウム・砒素・亜化合物(InGaAsP)活性層、6はp型InP閉じ込め層、7はInGaAsPコンタクト層、8はp側電極、9はn側電極を示す。

本従来例においては、n型InP基板1の主面は結晶の(100)面であり、溝3のストライプの方向はp型InP電流狭窄層2の結晶の<011>方向に形成され、溝3の斜面3aには(111)B面が露出されて、この(111)B面上に液相エピタキシャル成長方法(以下LEP法と略称する)によって、n型InP閉じ込め層4、InGaAsP活性層5及びp型InP閉じ込め層6よりなるダブルヘテロ構造が形成されている。

本従来例のVSBレーザは、溝3の内部表面が(111)B面であるために前記ダブルヘテロ構造

の成長が容易であるなどの製造上の利点と、電流狭窄が効果的に行なわれて閾値電流が低減され、かつ溝の内部表面が結晶面であるために極めて平滑であってこの部分からの光の乱反射がなく、光の強度分布が滑らかであるなどの性能上の利点とを兼ね備えている。

しかしながら従来のVSBレーザは、他の多くの半導体レーザと同様に、ストライプの両端に設けられた結晶劈開面を鏡面とするファブリー・ペロー形の光共振器を備えているために、縦モードの制御が困難であって高速度変調時に単一モードが得られず、また活性層を構成するInGaAsPの熱膨張率の温度変化が発振波長の変動にそのまま現われるという問題点がある。

この縦モードの制御性などについては、光波導層表面に回折格子を設けた分布型変型レーザにおいて、良好な成果が得られている。この回折格子はそのピッチが通常1[μm]以下例えば0.5[μm]程度に選択されて、これを光導波路表面に実現するには、格子パターンを光波の干渉によって形成

する二光束干渉法で露光を行なうリソグラフィ法が適用される。

従来の低閾値電流の分布型変型レーザは、基板上にクラッド層、活性層及び導波路等をエピタキシャル成長させた後にこれをメサ型にエッチングして電流狭窄層をエピタキシャル成長するいわゆる埋込み構造が多く行なわれている。これは前記の二光束干渉法を適用する回折格子の形成が平面上に限って可能であることによるが、前記の埋込み構造を再現性良く製作することは困難であり、更に第2図目のエピタキシャル成長の際に活性領域が熱損傷を受けて信頼性が低下するなどの点で前記VSBレーザに及ばない。

先に述べた光海底伝送中継器等に使用するために特性と信頼性を備えた半導体レーザを提供するためには、前記VSBレーザの構造に分布型変型共振器を導入することが望まれるが、前記例のVSBレーザなど溝内にエピタキシャル成長される半導体層の多くは第1図に例示する如く湾曲して、従来の如く二光束干渉法で露光を行なうリソグラフィ法を直接適用することを試みても、湾曲表面の中央部でレジスト膜が厚くなるために干渉パターンが変化して、格子パターンのゆがみやピッチの差を生ずるなど意図する回折格子を形成することは容易ではない。

以上説明した如き状況から、半導体基体に設けられたストライプ状の溝内に成長させた湾曲する半導体面に回折格子を形成して分布型変型レーザを製造する方法が求められている。

(d) 発明の目的

本発明は半導体基体に設けられたストライプ状の溝内に成長させた半導体面に回折格子を形成する分布型変型レーザの製造方法を提供することを目的とする。

(e) 発明の構成

本発明の前記目的は、半導体基体にストライプ状の溝を形成し、該溝内に第1の閉じ込め層、活性層、光導波路及び第4の半導体層を成長して該第4の半導体層の表面を平坦とし、該表面に回折格子のパターンを形成したレジストマスクを設け、

(f) 前記第4の半導体層をエッチングし、次いで該第4の半導体層をマスクとするエッチングによって前記光導波層の該第4の半導体層との界面近傍に回折格子を形成し、しかる後に第5の半導体層を成長して第2の閉じ込め層を形成する半導体発光装置の製造方法により達成される。

特に前記第4の半導体層のエッチング処理を前記光導波層に対して選択的に行ない光導波層表面で停止することによって、これに続く光導波層のエッチング深さを均一にすることができる。

また前記第4の半導体層の組成、導電型及びキャリア濃度を第2の閉じ込め層の条件に適合させることによって、これを除去することなく前記第5の半導体層を成長させることができ、光導波層に形成した回折格子のマルチバック等による変形が防止され、かつ均一な第2の閉じ込め層を形成することができる。

(f) 発明の実施例

以下本発明を実施例により図面を参照して具体的に説明する。

のp型InP層17を順次成長させる。

V溝13の表面面は(111)B面であって、厚さ例えば0.2[μm]程度の活性層15は図に例示する如く湾曲し、同様の厚さの光導波層16にも湾曲が見られるが活性層15よりは緩和され、p型InP層17は例えば0.3乃至0.5[μm]程度の厚さまで成長することによってその表面を平坦にすることができる。

第2図(b)参照

前記p型InP層17上にホトレジスト(例えばAZ-1350J)を例えば0.2[μm]程度の厚さに塗布して、前記二光束干渉法により例えばヘリウムカドミウム(He-Cd)レーザ(波長約0.44 μm)を光源としてピッチ $\lambda \div 0.45$ [μm]の周期的干渉パターンを有するマスク18を形成する。

臭酸(HBr)系エッチャントを用いてマスク18からp型InP層17に前記パターンを転写するエッチングを行なう。このエッチングは光導波層16との界面で停止する。

第2図(c)参照

第2図(a)乃至(d)は本発明をVSBレーザに適用する実施例を示し、(a)はストライプ状縦方向の断面図、(b)乃至(d)は図(a)のX-Y断面によるストライプ状平行方向の断面図である。

第2図(a)参照

(100)面を主面としキャリア濃度 $1 \times 10^{18}(\text{cm}^{-3})$ 程度のn型InP基板11の表面に、亜鉛(Zn)を拡散して例えば深さ2[μm]程度のp⁺型電流拡散層12を形成する。

次いで<011>方向のストライプ状開口を形成したマスクを設け塩酸(HCl)をエッチャントとして、開口幅3[μm]程度でp⁺型電流拡散層12を貫通して基板11のn型領域に達し断面がV字形をなすストライプ状の溝13を形成する。

次に液相エピタキシャル成長方法によって、キャリア濃度 $5 \times 10^{17}(\text{cm}^{-3})$ 程度のn型InP第1閉じ込め層14、ルミネセンス波長 $\lambda \div 1.55$ [μm]のInGaAsP活性層15、ルミネセンス波長 $\lambda \div 1.30$ [μm]のInGaAsP導波層16及び前記第4の半導体層としてキャリア濃度 $5 \times 10^{17}(\text{cm}^{-3})$ 程度

マスク18を除去し、p型InP層17をマスクとし硫酸(H_2SO_4)系エッチャントを用いて、InGaAsP導波層16を例えば0.1乃至0.2[μm]程度エッチングすることによって分布能率用の格子が形成される。

第2図(d)参照

ウエハを洗浄した後、前記p型InP層17と同一のInP層19及びルミネセンス波長 $\lambda \div 1.3$ [μm]のp型InGaAsPコンタクト層20を順次エピタキシャル成長する。

p型InGaAsPコンタクト層20上にp側電極21を、更にn型InP基板11の厚さを約100[μm]に研磨した面上にn側電極22を形成する。

最後に共振器の一方の端面を斜めにエッチングし、他方の端面を垂直に劈開することにより本発明の実施例である分布能率形レーザ素子が完成する。

以上説明した実施例は(111)B面を露出する断面がV字形のストライプ溝内に半導体層を成長させているが、溝内に成長する半導体層は本実施

例の場合のみならず両曲することが多い。これらの場合に本発明を適用して同様に分布型並列レーザを製造することができる。

(例) 発明の効果

以上説明した如く本発明によれば湾曲した表面を有する半導体層に分布型並列の格子を形成することが可能となり、その結果例えばVSBレーザの如く従来知られているレーザ中では優れた特性と信頼性を有するレーザの不備の点が改善されるなど、半導体レーザの特性と信頼性の向上を推進することができる。

4. 図面の簡単な説明

第1図は従来のVSBレーザの例を示す断面図、第2図(a)乃至(d)は本発明の実施例を示す断面図である。

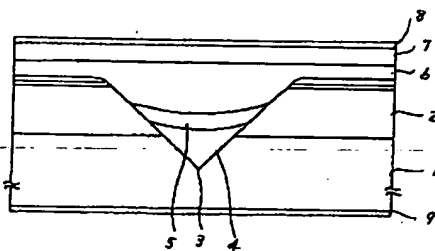
図において、11はn型InP基板、12はP⁺型電流狭窄層、14はn型InP閉じ込め層、15はInGaAsP粘着層、16はInGaAsP導波層、17及び19はp型InP層、18はレジストマスク、20はp型InGaAsPコンタクト層、21は

p型電極、22はn型電極を示す。

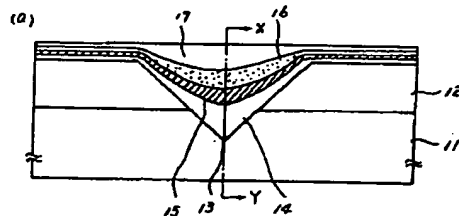
代理人 弁理士 松 岡 宏 國 郎



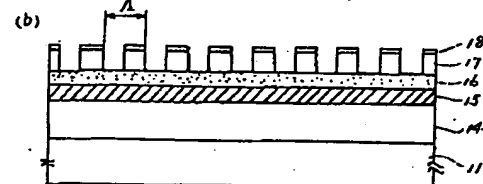
第1図



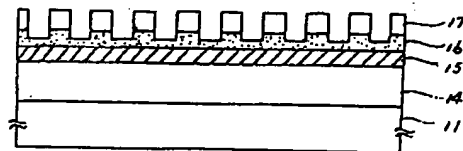
第2図



第2図



(c)



(d)

